

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-231549

(43)Date of publication of application : 22.08.2000

(51)Int.Cl.

G06F 15/78

G06F 12/08

G06F 12/10

G06F 13/28

(21)Application number : 2000-029153

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.02.2000

(72)Inventor : SASAHARA SHOJI

KAMURAN MALICK

RAKISSHU AGURAWARU

MICHAEL RAAMU

(30)Priority

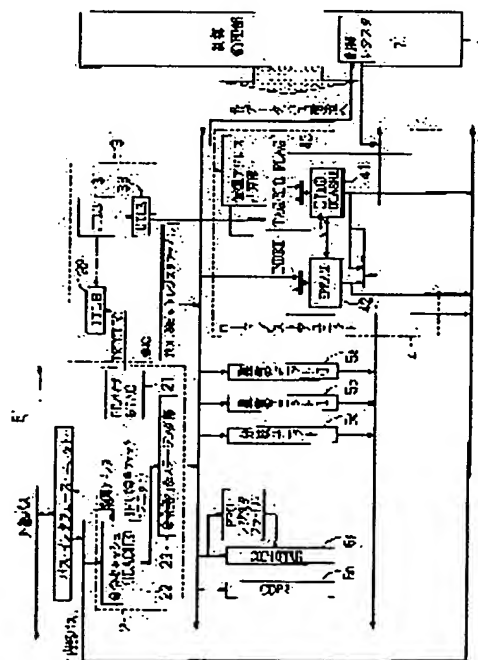
Priority number : 99 246407 Priority date : 08.02.1999 Priority country : US

(54) MICROPROCESSOR

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a microprocessor which incorporates a RAM available for purposes other than a cache memory and can easily and also fast access the RAM.

**SOLUTION:** This microprocessor is provided with an MMU 3 performing conversion from a virtual address to a physical address and an LSU 4 controlling the execution of a load/store instruction. The LSU 4 has a DCACHE 41 temporarily storing read/write data for an external memory, a SPRAM 42 used for special uses other than a cache and an address generator 43 generating a virtual address for accessing the DCACHE and the SPRAM. The MMU 3 generates a conversion table performing virtual/physical address conversion. Flag information



Best Available Copy

showing whether or not access to the SPRAM is performed is included in the conversion table. When the flag is set, the SPRAM does not have to be allocated to a memory map of a main storage memory because access to the SPRAM is performed unconditionally.

---

## LEGAL STATUS

[Date of request for examination] 03.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(2)

特開2000-231549

1

【特許請求の範囲】

【請求項1】仮想アドレスを物理アドレスに変換するメモリ管理ユニットと、ロード／ストア命令を実行するロード／ストア命令実行部と、を備えたマイクロプロセッサは、

前記ロード／ストア命令実行部によるデータの読み書きが可能なRAMを備え、

前記メモリ管理ユニットは、前記RAMに対するアクセスを行うか否かを示す第1のフラグ情報を生成するフラグ情報生成部を有することを特徴とするマイクロプロセッサ。 10

【請求項2】前記メモリ管理ユニットは、前記第1のフラグ情報に基づいて前記RAMにアクセスを行う場合には、物理アドレスへの変換を行わずに仮想アドレス中の少なくとも一部のアドレス情報を用いて前記RAMにアクセスすることを特徴とする請求項1に記載のマイクロプロセッサ。

【請求項3】外部メモリから読み出したデータを一時的に格納するキャッシュメモリを備え、

前記メモリ管理ユニットは、前記第1のフラグ情報に基づいて前記RAMにアクセスを行う場合には、前記キャッシュメモリに対するキャッシュ・ヒット／ミス結果に関係なく、前記RAMにアクセスすることを特徴とする請求項1または2に記載のマイクロプロセッサ。 20

【請求項4】前記メモリ管理ユニットは、仮想アドレスをページ単位で物理アドレスに変換する変換テーブルを生成するテーブル生成部を有し、

前記フラグ情報生成部は、仮想アドレスに対応する前記第1のフラグ情報をページ単位で前記変換テーブルに格納することを特徴とする請求項1～3のいずれかに記載のマイクロプロセッサ。 30

【請求項5】前記フラグ情報格納部は、I/O領域へのアクセスを行うか否かを示す第2のフラグ情報を生成することを特徴とする請求項1～4のいずれかに記載のマイクロプロセッサ。

【請求項6】前記メモリ管理ユニットは、前記第2のフラグ情報に基づいてI/O領域にアクセスを行う場合には、前記キャッシュメモリに対するキャッシュ・ヒット／ミス結果を無視してI/O領域にアクセスすることを特徴とする請求項5に記載のマイクロプロセッサ。 40

【請求項7】前記RAMに格納すべきデータを、前記RAMに格納する前に一時的に格納するストアバッファを備え、

前記メモリ管理ユニットは、前記第2のフラグ情報に基づいてI/O領域にアクセスを行う場合であって、前記ロード／ストア命令実行部が前記RAMに対する有効なロード／ストア命令を保持しており、かつ、前記ストアバッファ中にまだ前記RAMに書き込まれていないデータが存在する場合には、前記ストアバッファ中のデータが前記RAMに書き込まれるまで、I/O領域へのアク 50

2

セスを中断することを特徴とする請求項5または6に記載のマイクロプロセッサ。

【請求項8】前記メモリ管理ユニットは、仮想アドレスをページ単位で物理アドレスに変換する変換テーブルを生成するテーブル生成部を有し、

前記フラグ情報生成部は、仮想アドレスに対応する前記第2のフラグ情報をページ単位で前記変換テーブルに格納することを特徴とする請求項5～7のいずれかに記載のマイクロプロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、外部メモリよりも高速にデータの読み書きが可能なRAMを内蔵するマイクロプロセッサの内部構成に関する。

【0002】

【従来の技術】プロセッサがアクセスする外部デバイスとして従来知られているものは、メモリとI/Oデバイスである。メモリは、ほとんどのプロセッサに接続されるため、プロセッサのメモリマップに直接割り当てられることが多い。一方、I/Oデバイスは、メモリに比べると、必要とするアドレス範囲が狭いため、以下の二つの方法のいずれかで管理するのが一般的である。

【0003】(1)I/O領域を特殊なメモリ空間に割り当て、専用の命令でそのメモリ空間にアクセスする。例えば、Intel社のx86プロセッサは、メモリとは別個のI/O空間を持っており、in/out命令で明示的にその空間へのアクセスを行う。

【0004】(2)通常の主記憶メモリマップ上にI/Oデバイスを割り当てる。例えば、MIPSアーキテクチャに基づくプロセッサは、通常のメモリ操作と同様の命令でI/Oデバイスをアクセスする。

【0005】最近のプロセッサは、上述した2つの方式のうち、(2)の方式を採用する例が多い。その理由は、通常のメモリアクセスと全く同じ命令が使えるので、命令セットが単純になり、プログラミングもしやすいためである。しかし、I/Oデバイスにアクセスする際は、①キャッシュメモリの使用を禁止する、②読み書きの順序を保証する等の必要があり、ソフトウェアもしくはハードウェアでこれに配慮しなくてはならない。

【0006】多くのプロセッサでは、同一のアドレスに対する読み書きの順序は保証されるが、一つのI/Oの複数のレジスタが複数のアドレスに割り当てられている場合などでは、読み書きの順序が保証されないおそれがある。

【0007】特に、命令の実行順序を入れ替えるout-of-order 実行を行うプロセッサは、特別に扱う必要がある。

【0008】また、これとは別に、近年の半導体の高集積化やDRAM混載技術などの進展に伴い、キャッシュメモリ以外のメモリをプロセッサと同じチップ内に収容

(3)

特開2000-231549

3

できるようになり、この種のメモリを主記憶メモリやキャッシュメモリと造る目的で使用することも可能になった。

【0009】

【発明が解決しようとする課題】しかしながら、この種のメモリを主記憶メモリと同じようにマッピングすると、その領域は、外部の主記憶メモリやI/Oに割り当てることができないため、メモリマップ割り当ての制限になる。

【0010】また、この種の外部メモリ上にあるデータは、キャッシュメモリにキャッシュされたデータと同様に高速に利用できるため、外部メモリのアクセスと同様にキャッシュしてしまうのは無駄であるばかりでなく、リフィルの際に外部メモリをキャッシュしているものを追い出す可能性があり、さらにこの種のメモリとキャッシュとの間にリフィルのためのデータバスを付加する必要がある。

【0011】また、キャッシュしない場合、この種のメモリの高速度を生かして、かつ、キャッシュの高速度を生かすためには、メモリ参照の際に、この種のメモリにアクセスしようとしているのか、あるいは、キャッシュメモリにアクセスしようとしているのかを自動判別しなければならない。

【0012】本発明は、上記の問題点を考慮に入れてなされたものであり、その目的は、キャッシュメモリ以外の目的で利用可能なRAMを内蔵して、このRAMに簡易かつ高速にアクセスできるようにしたマイクロプロセッサを提供することにある。

【0013】

【課題を解決するための手段】上記の目的を達成するため、仮想アドレスを物理アドレスに変換するメモリ管理ユニットと、ロード/ストア命令を実行するロード/ストア命令実行部と、を備えたマイクロプロセッサは、前記ロード/ストア命令実行部によるデータの読み書きが可能で、かつ、外部メモリとの間でデータをDMA(Direct Memory Access)転送可能なRAMを備え、前記メモリ管理ユニットは、前記RAMに対するアクセスを行う可否を示す第1のフラグ情報を生成するフラグ情報生成部を有する。

【0014】請求項1の発明では、RAMに対するアクセスを行う可否を、第1のフラグ情報にて設定できるようにしたため、RAMに対するアクセス制御をプログラマブルに切り替えることができる。

【0015】請求項2の発明では、第1のフラグ情報に基づいてRAMにアクセスする場合は物理アドレスへの交換を行わないようにしたため、高速アクセスが可能になる。

【0016】請求項3の発明では、第1のフラグ情報に基づいてRAMにアクセスする場合はキャッシュ・ヒット/ミス結果とは独立にRAMへのアクセスを開始する

4

ようにしたため、キャッシュ・ヒット/ミス結果が得られない間にRAMへのアクセスを開始できる。

【0017】請求項4の発明では、第1のフラグ情報が記録された変換テーブルを設けるため、各アドレス単位でRAMに対するアクセスを行う可否を設定できる。

【0018】請求項5の発明では、I/O領域へのアクセスを行う可否を示す第2のフラグ情報を設けるため、I/O領域へのアクセスを許可する可否をプログラマブルに設定変更できる。

【0019】請求項6の発明では、第2のフラグ情報に基づいてI/O領域にアクセスする場合はキャッシュ・ヒット/ミス結果を無視するようにしたため、キャッシュ・ヒット/ミス結果が得られない間にI/O領域へのアクセスを開始できる。

【0020】請求項7の発明では、第2のフラグ情報に基づいてI/O領域にアクセスを行う場合であって、ロード/ストア命令実行部がRAMもしくはI/O領域に対する有効なロード/ストア命令を保持しており、かつ、ストアバッファ中にまだRAMもしくはI/O領域に書き込まれていないデータが存在する場合には、ストアバッファ中のデータがRAMもしくはI/O領域に書き込まれるまで、次のI/O領域へのアクセスを開始しないようにしたため、I/O領域への読み書きの順序をソフトウェアと完全に一致させることができる。

【0021】請求項8の発明では、第2のフラグ情報が記録された変換テーブルを設けるため、各アドレス単位でI/O領域に対するアクセスを行う可否を設定できる。

【0022】

【発明の実施の形態】以下、本発明に係るマイクロプロセッサについて、図面を参照しながら具体的に説明する。

【0023】(第1の実施形態) 図1は本発明に係るマイクロプロセッサの一実施形態の内部構成を示すブロック図である。図1のマイクロプロセッサは、外部バスB1に接続されたバス・インタフェース・ユニット(Bus Interface Unit)1と、プロセッサが実行する命令のフェッチ(取り込み)を行うIFU(Instruction Fetch Unit)2と、仮想アドレスから物理アドレスへの変換を行うMMU(Memory Management Unit)3と、ロード/ストアに関連する命令を実行するLSU(Load Store Unit)4と、ロード/ストア以外の命令を実行する複数の実行ユニット5a、5b、5cと、浮動小数点演算を行うFPU(Floating Point Unit)6a、6bと、プロセッサ各部の制御を行う制御論理部(Control Logic)7とを備える。

【0024】IFU2は、分岐命令等の命令の分岐先を記憶するETACを参照しつつPC(Program Counter)を生成するPC PIPE21と、命令を一時的に格納するICACHE(Instruction Cache Memory)22と、命令の種類を判別

(4)

特開2000-231549

5

いてその命令を実行する実行ユニットを選択する命令発行&ステージング部(Instruction Issue & Staging block)23とを有する。

【0025】MMU3は、仮想アドレスから物理アドレスへの変換を行う3つのTLB(Translation Lookaside Buffer)を有する。OS(Operating System)が有するページ・テーブルの一部のうち、物理ページ番号や保護情報など、プロセッサが必要とするアドレス変換情報がTLBに書き込まれており、これに基づいてMMU3は物理アドレスへの変換を行う。

【0026】MMU3内の3つのTLBは、JTLB(Joint Translation Lookaside Buffer)31と、ITLB(Instruction Translation Lookaside Buffer)32と、DTLB33(Data Translation Lookaside Buffer)33である。

【0027】ITLB32とDTLB33は、総称してマイクロTLBと呼ばれる。ITLB32は命令の仮想アドレスのデータパス(Data path)に直接接続される専用のTLBであり、DTLB33はデータの仮想アドレスのデータパスに直接接続される専用のTLBである。これらTLBは、少数ではあるが、高速にアドレス変換を行う。JTLB31は、命令/データの別に関係なく、ページをマッピングする。

【0028】これら3つのTLBは、例えばソフトウェアによって制御される。プロセッサは、JTLB31に変換テーブル100が存在しない場合に例外を起こし、例外ハンドラのプログラムがOSのページテーブルから該当するページを探し出し、JTLB31に変換テーブル100の情報を書き込む。

【0029】LSU4は、外部メモリに対する読み出し/書き込みデータを一時的に格納するDCACHE(Data Cache Memory)41と、キャッシュ以外の特殊な用途に使用されるSPRAM(Scratch Pad RAM)42と、DCACHE41やSPRAM42をアクセスするための仮想アドレスを生成するアドレス生成器(Virtual Address Computation)43とを有する。

【0030】制御論理部7は、プロセッサ各部の制御を行い、その内部には制御レジスタ(Control Register)71が設けられている。

【0031】次に、図1のマイクロプロセッサの動作を簡単に説明する。まず、PC PIPE21で生成されたPC(Program Counter)に基づいて、IFU2は命令のフェッチを行う。なお、PCは仮想アドレスである。

【0032】ITLB32は、PCを仮想アドレスから物理アドレスに変換する。物理アドレスは、ICACHE22内のITAGにおける検索に利用され、PCの指し示す命令がICACHE22内に存在するかどうかを調べる。PCの指し示す命令がICACHE22内に存在しない場合(キャッシュ・ミス)には、物理アドレスによって不図示の外部メモリへのアクセスを行う。

【0033】具体的には、キャッシュミスすると、ICAC

6

HE22を制御するIFU2の制御論理部からBIU1の制御論理部に対して、キャッシュミスが起きたことを示す情報と、アクセスを行うべき物理アドレス情報とが渡される。BIU1は、これらの情報に基づいて外部メモリをアクセスし、アクセスが終了すると、データとキャッシュ・ラインの取得が終わった旨の信号とをIFU2に供給する。IFU2は、アクセスしたデータをICACHE22に書き込む。同時に、リフィルされたキャッシュ・ラインのうち、PCの指し示す命令と、場合によっては、PCの指し示す命令の後に続くいくつかの命令を、命令発行&ステージング部23に供給する。

【0034】一方、PCの指し示す命令がICACHE22内に存在する場合には、該当するICACHE22内の命令と、場合によってはPCの指し示す命令の後に続くいくつかの命令が命令発行&ステージング部23に供給される。

【0035】命令発行&ステージング部23は、命令の種類を判別し、命令を実際に実行する実行ユニット(例えば、LSU4や他の実行ユニット)を決定する。この際、命令発行&ステージング部23は、各実行ユニットの空き具合を鑑みて動的に判断する。

【0036】例えば、判別された命令がロード/ストア命令の場合には、処理できる実行ユニットはLSU4だけなので、LSU4に命令を供給できる状態になると、命令発行&ステージング部23はLSU4に命令を送る。

【0037】次に、SPRAM42に対してロード/ストアを行う場合の動作を説明する。図2は、図1のLSU4内部の一部構成を図示したものであり、SPRAM42に関する部分を制御系(Control)8とデータパス(Data path)に分けて図示している。

【0038】図2の制御系8は、命令の流れに応じて、データパスに与える制御信号を生成する。データパスは、制御系8からの制御信号に基づいてデータを流していく。これが命令の実行に相当する。

【0039】図2において、制御系8とデータパスとをつないでいる各線は制御信号を示している。通常、制御信号は制御系8からデータパスに供給される。なお、図2では省略しているが、データパスから制御系8に供給される制御信号も存在する。例えば、ICACHE22がミスしてパイプライン処理を止める場合には、データパスの一部であるICACHE22のTAGからミス信号が制御系8に供給されてパイプライン処理を停止させる。

【0040】図2において、符号10a~10jで示したブロックは、パイプライン処理を行う際にステージを区切るためのレジスタ構造を示している。これらブロックは、回路的には、フリップフロップやラッチで構成され、クロックに同期して、読み出しや書き込みを行う。以下では、これらブロックを終極してパイプラインレジスタと呼ぶ。

【0041】IFU2は、IFU制御論理部81(IFUC

(5)

特開2000-231549

7

8

ontrol)の制御を受けて、フェッチされた命令をパイプラインレジスタ10aに格納する。命令はパイプラインレジスタ10aから命令デコーダ(Instruction Decoder)82に送られる。命令デコーダ82では、命令の識別や命令の処理に必要な中間的な制御信号を生成する。中間的な制御信号を生成する理由は、命令デコーダ82でプロセッサのすべての制御信号を生成するのは量的および速度的に不可能なためであり、命令デコーダ82は、命令よりも演算器の制御信号に近く、かつ、演算器の制御信号そのものよりも抽象的な信号を生成する。

【0042】フェッチされた命令がロード/ストア命令であることが命令デコーダ82で分かった場合には、制御信号群が、関係する制御論理部に送られる。具体的には、制御信号群は、図2中のパイプライン制御論理部(Pipeline Control)83、GPR制御論理部(General Purpose Register Control)84、およびLSU制御論理部(LSU Control)85に送られる。

【0043】パイプライン制御論理部83とLSU制御論理部85では、データの流れのステージに同期する形で命令や制御信号が流れていく。このため、制御系8とデータバスの双方にパイプラインレジスタ10a~10jが設けられている。

【0044】パイプライン制御論理部83は、パイプラインレジスタ10の中身の状況に応じて、パイプラインの進行の制御を行う。例えば、演算器上でリソースハザードが生じた場合には、パイプラインを停止するなどの処理を行う。

【0045】LSU制御論理部85は、ロード/ストア命令を実行するのに必要な制御信号を生成する。すなわち、GPR制御論理部84の制御によりレジスタファイル11からパイプラインレジスタ10に送られたデータは、アドレス生成器43に送られてアドレスが生成される。アドレス生成器43はアダー(Adder)制御論理部86により制御され、アドレス生成器43により生成されたアドレスは、次段のパイプラインレジスタ10に送られる。

【0046】SPR制御論理部(SPRAM Control)87は、パイプライン制御論理部83とLSU制御論理部85からの信号を受けて、SPRAM42へのアクセスを行う。その際、パイプラインレジスタ10中のアドレスを使用する。このアドレスがロード命令であるときは、リード・イネーブル信号を有効にし、ライト・イネーブル信号を無効にする。そして、SPRAM42からデータを読み出し、パイプラインレジスタ10に格納する。格納されたデータは、次のステージでレジスタファイル11に書き込まれる。

【0047】一方、パイプラインレジスタ10中のアドレスがストア命令であるときは、リード・イネーブル信号を無効にし、ライト・イネーブル信号を有効にする。そして、レジスタファイル11からステージされてきた

データをSPRAM42に書き込む。

【0048】一方、プロセッサ外のDMA(Direct Memory Access)コントローラ9は、図示のように、外部バスを介してプロセッサ内部のBIU制御論理部(BIU Control)88に接続されている。DMAコントローラ9がBIU制御論理部88に制御信号を送ってDMA処理を開始すると、BIU制御論理部88はSPR制御論理部87に信号を送ってSPRAM42をリード/ライトさせる。すなわち、SPR制御論理部87は、BIU制御論理部88を介して間接的にDMAコントローラ9とも接続されている。

【0049】SPRAM42に対するアクセス要求がLSU4とBIU12(BIU12からのアクセス要求は元はDMAコントローラ9からのものである)の双方から同時に発せられた場合は、SPR制御論理部87が両者を調停してイネーブル信号群を決定し、アドレス入力とデータ入力のセレクトを切り替える。

【0050】例えば、LSU4とBIU12によるSPRAM42に対するアクセス要求の優先順位をプログラマブルに制御するには、SPR制御論理部87に図2に点線で示す制御レジスタ71を接続し、この制御レジスタ71の値を優先順位に応じてプログラマブルに変化させればよい。

【0051】図1および図2に示したSPRAM42は、画像データ等の大量のデータをプロセッサで加工処理する際に、一時的なメモ・パッド領域として用いるのに適している。

【0052】図3はMMU3の内部の接続関係を示す図である。上述したように、MMU3の内部には3つのTLBが設けられるが、このうち、JTLB31が本来のTLBである。JTLB31は例えば48個のエントリを有し、ページ単位で仮想アドレスをマッピングし、物理アドレスへの変換テーブル100を生成する。

【0053】JTLB31内に生成された変換テーブル100は、必要に応じて、JTLB32とJTLB33にコピーされる。このように、TLBを3つに分けた理由は、JTLB31はエントリ数が多いため、JTLB31でアドレスの変換を行うと、変換処理に時間がかかることから、必要な分だけJTLB32やJTLB33にコピーして高速に変換処理を行うようにしている。

【0054】図4はJTLB31内の変換テーブル100を模式的に示した図である。変換テーブル100は、仮想アドレスのページ番号と、仮想アドレスに対応する物理アドレスと、フラグ情報とを対応づけたものである。

【0055】フラグ情報は、キャッシュが可能か否かを示すCフラグと、メモリへの書き込みが可能か否かを示すDフラグと、変換エントリが有効か無効を示すVフラグと、SPRAM42へのアクセスを行うか否かを示すSフラグ(第1のフラグ情報)とを有する。

【0056】LSU4は、Sフラグが立っていれば、最

(5)

特開2000-231549

9

19

条件にSFRAM4 2にアクセスに行く。具体的には、仮想アドレスの下位側のオフセットアドレスを用いてSFRAM4 2にアクセスする。これにより、SFRAM4 2を物理メモリのメモリマップに割り当てなくて済み、メモリマップの割り当てを簡易化できる。

【0057】また、Sフラグがセットされているときには、ICACHE2 2やDCACHE4 1のキャッシュ・ヒット/キャッシュ・ミス結果を無視して、SFRAM4 2へのアクセスを行う。これにより、キャッシュ・ヒットしたか否かを  
19 確認することなくSFRAM4 2にアクセスできるため、SFRAM4 2に対する読み書きを高速に行うことができる。

【0058】なお、図4では、4種類のフラグを設ける例を説明したが、フラグの種類や数は特に限定されない。例えば、I/O領域へのアクセス用にフラグを設けてもよい。以下、このフラグを仮にI/Oフラグ(第2のフラグ情報)と呼ぶ。

【0059】I/O領域にアクセスする際には、キャッシュメモリの使用を禁止し、かつ、読み書きの順序を保証するのが望ましい。

【0060】図5は、I/O領域としてマップされたアドレスに対してロード/ストア命令を実行する際、その命令に先行するストア命令の完了を保証するシステムの一例を示す回路図である。図5のストアバッファ80は、すべての書き込みデータを一時的に格納するのに用  
20 いられる。

【0061】Cフラグがセットされ、かつ、I/Oフラグがセットされていない場合には、図5のゲートG1から、ICACHE2 2またはDCACHE4 1の利用を許可するハイレベル信号(Cashed信号)がLS制御論理部85に供給される。

【0062】また、I/Oフラグがセットされ、かつ、ストアバッファ80中にまだメモリに書き込まれていないデータが存在し、かつ、LSU4中に有効なロード/ストア命令が存在する場合には、図5のゲートG2から、I/O領域アクセス用のロード/ストア命令をストールする旨のハイレベル信号(Stall\_Request信号)がパイプライン制御論理部83に供給される。

【0063】図5のような回路を設けることにより、ロード/ストアの実行順序が保証されないシステムであっても、最小限の回路付加により、I/O領域へのアクセス前に、先行するストア命令の完了を保証することが  
40 できる。

【0064】このように、I/Oフラグを設けることにより、I/O領域を主記憶メモリのメモリマップに割り当てなくて済み、また、I/Oフラグがセットされていれば、強制的にキャッシュを無効にでき、かつソフトウェアが配慮することなく書き込み順序を保証できるため、簡易かつ迅速にI/O領域にアクセスすることがで  
50 かる。

きる。

【0065】上述した実施形態では、DMA転送が可能なSFRAMの一例を説明したが、DMA転送が可能であることは必ずしも必須の要件ではない。DMA転送を行わないSFRAMは、例えば、プロセッサが連続的に生成するデータの一時保管場所として用いられる。

【0066】

【発明の効果】本発明によれば、ロード/ストア命令実行部によるデータの読み書きが可能で、かつ、外部メモリとの間でDMA転送可能なRAMに対してアクセスを行うか否かを、第1のフラグ情報により判断するため、RAMへのアクセスを高速に行うことができる。すなわち、RAMにアクセスする際には、キャッシュ・ヒット/ミス結果を参照しなくて済むため、追加のメモリよりも迅速にアクセスを行える。

【0067】また、このようなフラグ情報を設けることで、追加のメモリアクセスと同様の命令を用いて上述したRAMにアクセスできるようになり、命令セットを単純化でき、プログラム設計が容易になる。

【0068】同様に、I/O領域にアクセスするか否かを第2のフラグ情報に基づいて判断するため、I/O領域にアクセスするための特別な命令や、特別なメモリ割り当てが不要となる。

【図面の簡単な説明】

【図1】本発明に係るマイクロプロセッサの一実施形態の内部構成を示すブロック図。

【図2】図1のLSU内部の一部構成を図示した図。

【図3】MMUの内部の接続関係を示す図。

【図4】JTLB内の変換テーブルを模式的に示した図。

【図5】I/O領域へのアクセスの際、その命令に先行するストア命令の完了を保証するシステムの一例を示す回路図。

【符号の説明】

1 BIU

2 IFU

3 MMU

4 LSU

5 a, 5 b, 5 c 実行ユニット

6 a, 6 b, 6 c FPU

7 制御論理部

21 PC-pipe

22 ICACHE

23 命令発行&ステージング部

31 JTLB

32 ITLB

33 DTLB

41 データキャッシュ

42 SFRAM



[illegible][illegible]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**